

XP-002293054

designed by CAESAR - 0.05.00

PD:31-12-1995

p. 515-518, 1-11



## 8 Digitale Schaltungen

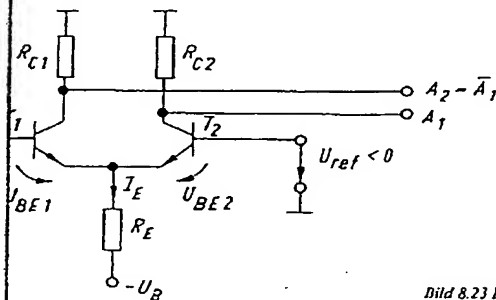


Bild 8.23 ECL-Stromschalter

schaltung der ECL weicht vom Prinzip des Übersteuerungs-  
Ihr Strukturelement ist der Stromschalter (→ Bild 8.23); er  
n der analogen Schaltungstechnik dem Differenzverstärker  
Während der analoge Differenzverstärker im aktiven Kennli-  
betrieben wird, steuert man die Transistoren des Strom-  
zwischen Übersteuerungs- und Sperrgrenze aus. Der Über-  
ch wird vermieden, damit keine Speicherzeit  $t_s$  entsteht.

### Eigenschaften des Stromschalters

$x$  ist, dann leitet  $T_1(x)$ , und  $T_2$  ist gesperrt ( $y$ ).

z  $\sum U = 0$  ergibt:

$$U_{B1} = U_{ref} + U_{BE1} - U_{BE2} \quad (8.35)$$

$y$  ist, dann sperrt  $T_1(y)$ , und  $T_2$  leitet ( $x$ ):

$$U_{B2} = U_{ref} - (U_{BE2} - U_{BE1}) \quad (8.36)$$

(8.35) und (8.36) ergibt sich:

renzspannung muß das arithmetische Mittel der Eingangssignalspannung sein.

$$U_{ref} = (U_{B1} + U_{B2})/2 \quad (8.37)$$

gangssignalhub  $\Delta U_i$  ist durch die Basis-Emitter-Spannungen festgelegt und daher  
ein.

$$\Delta U_i = U_{B1} - U_{B2} = 2(U_{BE1} - U_{BE2}) \quad (8.38)$$

I Ausgangspegel weichen erheblich voneinander ab, so daß ohne zusätzlichen  
satz keine Gatterzusammenschaltung möglich ist.

$$U_{OL} = -I_C R_C = U_{B1} + U_{CE1} \quad \text{mit} \quad U_{CE1} > 0 \quad (8.39)$$

$$U_{OH} = -I_C R_C = 0 \quad (8.40)$$

## 8.3 Logische Verknüpfungsschaltungen

515

Durch Kollektorstufen am Gatterausgang wird ein Pegelversatz realisiert.  
Damit ergeben sich die im Bild 8.24 dargestellten Logikpegelbereiche.  
Wesentlich ist, daß der Eingangspegel im H-Zustand nicht positiver als  
 $U_{B1max} = -0,8 \text{ V}$  werden darf, um eine Übersteuerung des Eingangstran-  
sistors im Stromschalter zu vermeiden.

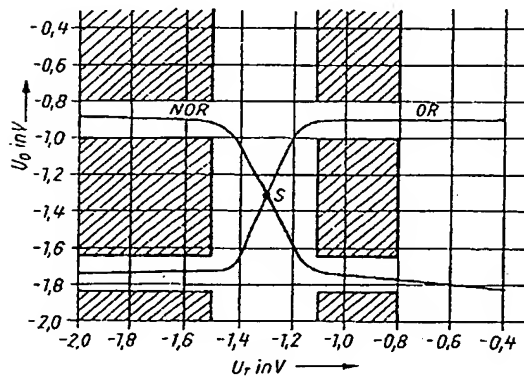


Bild 8.24 Logikpegel  
und Übertragungs-  
kennlinien von ECL-  
Gattern

### 8.3.3.4 MOS-Schaltkreise

MOS-Schaltkreise in statischer Einkanaltechnik bestehen vorwiegend aus  
integrierten MOSFETs (→ 6.14.3.4) eines Leitfähigkeitstyps (Logikgat-  
ter und Schalttransistoren mit Lastelementen).

### Eigenschaften der nMOS-Technik

- in nMOS-Silizium-Ga-Technik werden vorwiegend LSI- und VLSI-Schaltkreise hergestellt (Speicher-IC, Rechner-IC)
- im Vergleich zur TTL weniger Herstellungsschritte
- höhere Packungsdichten
- niedrige Verlustleistung
- sehr hoher (statischer) Eingangswiderstand
- trotz integrierter Gateschutzdioden sind besondere Vorsichtsmaßnahmen zur Verhütung statischer Aufladungen zu treffen
- TTL-Kompatibilität (5 V-Betriebsspannung, positive Logikpegel).

### Integrierte Grundstrukturen

In digitalen MOS-Schaltkreisen wiederholen sich zwei Grundstrukturen:

- Logikgatter
- Schalttransistoren

BEST AVAILABLE COPY

Die Logikgatter lassen sich auf den Inverter zurückführen. MOS-Inverter bestehen aus einem Enhancement-Transistor ( $\rightarrow$  6.11.1), dessen Gate mit dem Eingangssignal belegt wird, und einem Lastelement (Depletion- oder Enhancement-Transistor) zur Gewinnung des negierten Ausgangssignals. Bild 8.25 zeigt die drei möglichen Inverterstrukturen in statischer Einkanaltechnik.

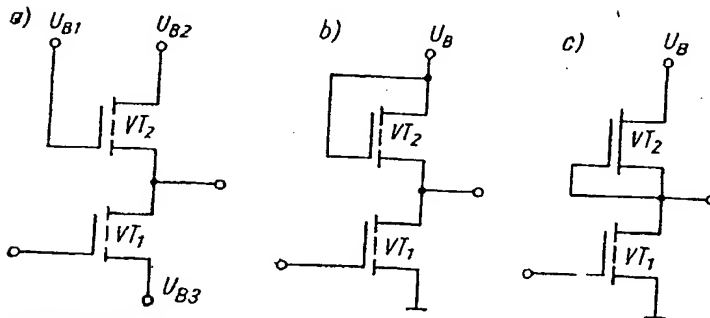


Bild 8.25 MOS-Inverter

a) EE-Inverter ( $2 \times U_B$ ), b) EE-Inverter ( $1 \times U_B$ ), c) ED-Inverter

### Eigenschaften der drei Invertertypen

a) EE-Inverter mit drei Betriebsspannungen (getrennte Gatespannung)

- In n-Kanaltechnik z.B.  
 $U_{B1} = +12\text{ V}$ ;  $U_{B2} = +5\text{ V}$ ;  $U_{B3} = -5\text{ V}$
- Enhancement-Lastelement (selbstsperrend) arbeitet im ohmschen Kennlinienbereich ( $\rightarrow$  6.11.3)
- Lastelement ist leitend, wenn  $|U_{B1}| > |U_{B2}| + |U_{B3}|$  ist.

b) EE-Inverter mit einer Betriebsspannung

- Enhancement-Lastelement arbeitet wegen  $|U_{GS}| = |U_{DS}|$  im Abschnürbereich ( $\rightarrow$  6.11.3)
- Nachteile gegenüber a): niedrigerer Signalhub, höhere Schaltzeiten.

c) ED-Inverter

- Enhancement-Basistransistor und Lastelement aus Depletion-Transistor (selbstleitend),  $U_{GS} = 0$
- bei  $U_{in} \leq U_T$  ist  $VT_1$  gesperrt:  $U_O = U_{OH} \approx U_B$ , bei  $U_{in} > U_T$  ist  $VT_1$  aktiv:  $U_O = U_{OL}$
- Die Silicium-Gatetechnologie ermöglicht niedrige Schwellspannungen ( $U_T \approx 1\text{ V}$ ), so daß mit  $U_B = 5\text{ V}$  gearbeitet werden kann (TTL-Kompatibilität).
- Kurze Kanallängen ergeben höhere Packungsdichten, kleinere Kapazitäten und somit höhere Schaltgeschwindigkeiten.
- Der ED-Inverter ist die bevorzugte Grundstruktur der nMOS-Technik.

BEST AVAILABLE COPY

**Logikgatter**

Infolge der direkten Koppelbarkeit von MOSFETs entstehen sehr einfache *Verknüpfungsprinzipien*. Die Reihenschaltung ergibt NAND, die Parallelschaltung NOR ( $\rightarrow$  Bild 8.26).

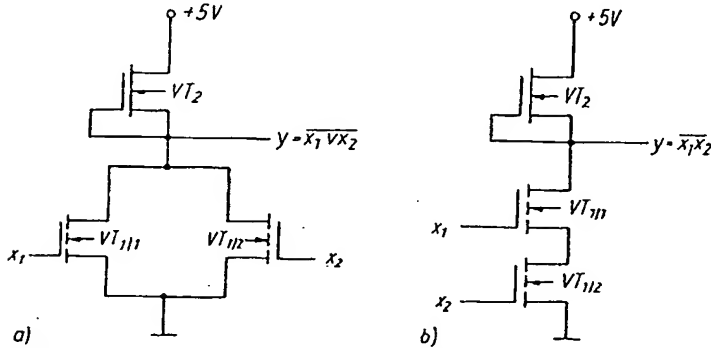


Bild 8.26 Verknüpfungsschaltungen in nMOS-Technik, a) NOR, b) NAND

**Schalttransistoren**

Logikstrukturen werden auf dem Chip durch Enhancement-Koppelemente verbunden ( $\rightarrow$  Bild 8.27). Typische *Anwendungsfälle* sind:

- Datentransport mit weitgehender Entkopplung zum Steuersignal
- kurzzeitige Zwischenspeicherung von Daten (1...10 ms)
- Synchronisation von sequentiellen Logikstrukturen.

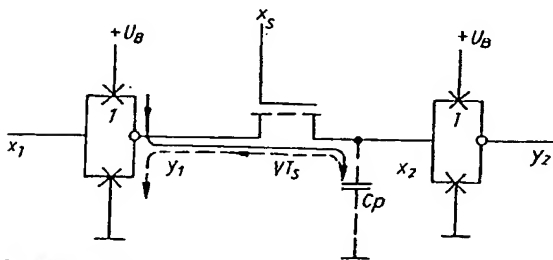


Bild 8.27 Schalttransistoren als Koppelstruktur

### Wirkungsweise des Schalttransistors

$x_1 = 1$ : Inv. 2 mit Inv. 1 gekoppelt,  $C_p$  übernimmt durch Auf- oder Entladung den Logikzustand von  $y_1$  ( $y_2 = \overline{y_1}$ ).

$x_1 = 0$ : Inv. 2 von Inv. 1 getrennt,  $C_p$  speichert den vorhergehenden Logikzustand kurzzeitig ( $y_2 = \overline{y_1}$ ).

Das **dynamische Verhalten** wird durch die Umladung der Parallelkapazität  $C_p$  (Gate-Source-Kapazität) bestimmt. Die Zeitkonstante beträgt:

$$\tau = 2 R_{DS} C_p$$

(8.41)

Durch Integration von Schalttransistoren wird der MOS-Schaltungsentwurf wesentlich vereinfacht. Bild 8.28 zeigt die MOS-gerechte Logik zur Funktion eines Demultiplexers.

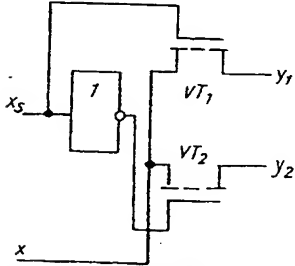


Bild 8.28 1-auf-2-Demultiplexer (Entwurfselement in MOS)

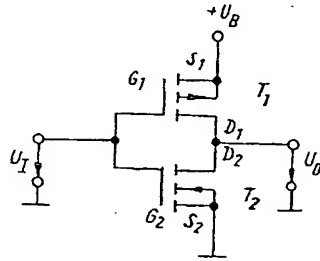


Bild 8.29 CMOS-Inverter

### 8.3.3.5 CMOS-Schaltkreise

Eigenschaften der CMOS (komplementäre MOS-Technik):

- niedriger Leistungsverbrauch
- höchste Störsicherheit (40...45% von  $U_B$ )
- großer Signalhub
- großer Betriebsspannungsbereich (3...15 V)
- TTL-Kompatibilität bei HCT-Baureihe
- hohe Ausfächerung ( $N_O = 50$ )
- Resistenz gegenüber Strahlungseinfluß
- Frequenzabhängigkeit der dynamischen Verlustleistung
- gegenüber Einkanal-MOS geringere Packungsdichten ( $\geq 2$  Transistoren je Grundbaustein)
- sehr hoher (statischer) Eingangswiderstand
- Schutzmaßnahmen gegen statische Aufladung erforderlich.

### Anwendung:

- vorwiegend SSI- und MSI-Schaltkreise für industrielle Anwendungen, die Stabilität und Unempfindlichkeit gegenüber Betriebsspannungsschwankungen erfordern
- Logikschaltungen für batteriebetriebene Geräte
- LSI-Schaltkreise für Uhren, Permanentpeicher und Mikrocontroller.

Die Grundschialtung der CMOS-Technik besteht aus zwei Transistoren vom selbstsperrenden Anreicherungs-Kanal;  $T_1$ : p-Kanal;  $T_2$ : n-Kanal). Bild 8.29 zeigt den CMOS-Inverter (Inverter) ohne eingezeichnete Gate-Schutzschaltung.

### Wirkungsweise:

Bei H-Potential am Eingang ist  $T_2$  leitend und  $T_1$  gesperrt;  $U_{OH} \approx U_B - U_T$ .  $U_{OL} \approx 0$  V.

Bei L-Potential am Eingang ( $0 < U_{IL} < U_T$ ) ist  $T_2$  gesperrt und  $T_1$  leitend. Am Ausgang liegt  $U_{OH} \approx U_B$ .

### Der Signalhub

$$\Delta U_O \approx U_B$$

Logische Verarbeitungen erfordern je Gatter 2 bis 3 Transistoren, da die statische Verlustleistung des Inverters (von allen Eingängen) von allen Eingängen erfolgen muß. Die statische Verlustleistung zeigt ein NOZwei-Eingangs-Gatter. Die statische Verlustleistung von CMOS ist sehr klein (Größenordnung im Nanowatt).

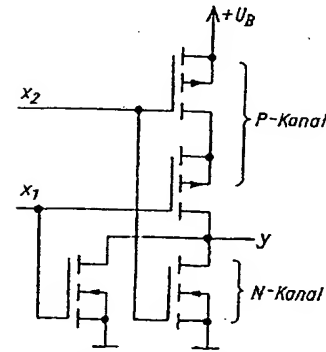


Bild 8.30 CMOS-NOR-Gatter mit zwei Eingängen

Bei häufig wiederkehrender oder periodischer durch Rechtecksignale dominiert die **dynamische Verlustleistung**. Während jeder Signalperiode  $T$  muß die Lastkapazität  $C_L$  (Bild 8.27) umgeladen werden. Der dabei fließende Ladestrom im Mittel die Betriebsspannungsquelle mit der Leistung:

$$P_{Vd} = U_B \bar{I}_C$$

Der mittlere Ladestrom ergibt sich aus der kurzzeitig gespeicherten Ladung:

$$Q = C_L U_B \quad \text{zu} \quad \bar{I}_C = Q / T$$

BEST AVAILABLE COPY

# Taschenbuch der Elektrotechnik und Elektronik

von Studiendirektor Helmut Lindner †  
(bearbeitet von Univ.-Prof. Dr. Harald Lindner  
und Prof. Dr. Hartmut Lindner),  
Dr. Harry Brauer und  
Prof. Dr. Constans Lehmann

6., verbesserte Auflage

Mit 671 Bildern, 98 Tabellen und 14 Tafeln

VN 43448



FACHBUCHVERLAG LEIPZIG - KÖLN

ISI AVAILABLE COPY

**AUTOREN:**

Studiendirektor **HELMUT LINDNER** †  
(bearbeitet von Univ.-Prof. Dr. **HARALD LINDNER**  
und Prof. Dr. **HARTMUT LINDNER**),

(Gleichstrom, Elektrische und magnetische Felder, Wechselstrom,  
Besondere Wechselstromkreise, Elektrische Maschinen)

Dr. **HARRY BRAUER**

(Bauelemente der Elektronik)

Prof. Dr. **CONSTANS LEHMANN**

(Analoge Schaltungen, Digitale Schaltungen, Stromversorgungs-  
schaltungen)

Die Deutsche Bibliothek - CIP-Einheitsaufnahme

**Taschenbuch der Elektrotechnik und Elektronik: mit 98**  
Tabellen / von Helmut Lindner (bearb. von Harald Lindner und  
Hartmut Lindner), Harry Brauer und Constans Lehmann . - 6.,  
verb. Aufl. - Leipzig: Köln: Fachbuchverl., 1995

ISBN 3-343-00879-6

NE: Lindner, Helmut; Lindner, Harald [Bearb.]; Brauer, Harry;  
Lehmann, Constans

ISBN 3-343-00879-6

© Fachbuchverlag Leipzig 1995

Alle Rechte vorbehalten. Dieses Werk sowie einzelne Teile desselben sind urheberrechtlich  
geschützt. Jede Verwertung in anderen als den gesetzlich zugelassenen Fällen ist ohne vorherige  
schriftliche Zustimmung des Verlages nicht zulässig.

Satz mit Microsoft Word für Windows  
Druck: Ludwig Auer GmbH, Donauwörth  
Printed in Germany